

Обнаружение ошибок в арифметико-логических устройствах процессоров информационно-измерительных систем

А. А. ПАВЛОВ¹, А. Н. ЦАРЬКОВ², Д. А. КОРСУНСКИЙ², В. З. ВОЛКОВ¹

¹*Военная академия Ракетных войск стратегического назначения им. Петра Великого,
Серпухов, Россия, e-mail: svi-rv@mail.ru.*

²*Межрегиональное общественное учреждение «Институт инженерной физики»,
Серпухов, Россия, e-mail: info@iifrf.ru.*

Предложена регулярная процедура адаптации алгебраического линейного кода для обнаружения ошибок в арифметико-логических устройствах процессоров информационно-измерительных систем. Выявлены закономерности, определяющие соотношения между арифметико-логическими операциями и значениями контрольных разрядов линейного кода относительно данных операций. Показано, что данные закономерности позволяют сформулировать правила получения значений поправок к контрольным разрядам кода для обнаружения одиночных и двойных ошибок при минимальной информационной избыточности, аппаратных и временных затратах.

Ключевые слова: информационно-измерительная система, микропроцессор, микроконтроллер, корректирующий алгебраический линейный код, одиночные и двойные ошибки, информационные разряды, контрольные разряды, алгебраические операции, логические операции.

A regular procedure is proposed for adapting the algebraic linear code for detecting errors in the arithmetic logic units of the information-measuring system processors. The regularities that determine the relationships between arithmetic logic operations and the values of the

control bits of the linear code with respect to these operations are revealed, which allow to formulate rules for obtaining corrections to the code check values, for detecting single and double errors with minimal information redundancy, hardware and time costs

Key words: information-measurement system, microprocessor, microcontroller, correcting algebraic linear code, single and double errors, information bits, check digits, algebraic operations, logical operations.

Постановка задачи. Информационно-измерительные системы (ИИС), в отличие от отдельных измерительных приборов с ограниченными функциональными возможностями, имеют в составе электронно-вычислительные машины (ЭВМ), микропроцессоры и микроконтроллеры, которые осуществляют централизованное автоматизированное или автоматическое управление объектом исследования, процессом измерений и обработкой информации [1–3]. Кроме того, применение в измерительных средствах ЭВМ, микроконтроллеров и микропроцессоров позволяет:

расширить функциональные возможности измерительных приборов и систем посредством переключения режимов измерений и алгоритмов в соответствии с программами, записанными в памяти микропроцессорной системы;

сократить время на настройку и калибровку приборов (настройка и калибровка выполняются автоматически перед началом работы, но возможна реализация режима «самообучение» и выбор оптимальных алгоритмов измерений и режимов работы прибора);

увеличить достоверность измерений благодаря самодиагностике и исключению ошибок оператора при настройке и калибровке

приборов;

повысить точность измерений при использовании сложных алгоритмов обработки информации, трудно реализуемых в обычных приборах;

повысить производительность измерений. Отдельные операции выполняются прибором автоматически, запоминаются и обрабатываются, оператор получает результаты измерений в обобщённом виде, например в виде среднего значения за некоторый промежуток времени, или индицируются параметры, выходящие за допустимые пределы;

обеспечить возможность работы с приборами персоналу, имеющему невысокую квалификацию, так как управление приборами и анализ результатов автоматизированы;

сократить затраты на разработку новых приборов (электрические схемы приборов разного назначения унифицируются, а различия в алгоритмах функционирования обеспечиваются программными средствами) [4].

К микроконтроллерам, выполняющим процессорные функции в ИИС, можно отнести микроконтроллеры Stm32F3 Discovery, Stm32W108, ADuC-P7026 [5]. В автоматизированных ИИС «Меркурий-Энергоучёт», предназначенных для измерений, контроля и учёта электрической энергии (мощности) и количества израсходованной воды, а также для автоматизированного сбора, накопления, обработки, хранения и отображения информации о потреблении этих ресурсов, применяются наиболее мощные ЭВМ. Первичная и отчётная информация от таких ЭВМ передаётся в диспетчерские и расчётные центры. Серверы ИИС построены на базе

IBM-совместимых компьютеров и специализированного программного обеспечения «Меркурий-PLC» [6].

Так как эффективность ИИС в значительной степени характеризуется достоверностью информации, обрабатываемой в данных системах, то особую актуальность приобретает вопрос обеспечения достоверности функционирования ЭВМ, а именно – точности функционирования арифметико-логических устройств (АЛУ) процессоров при выполнении арифметических и логических операций [7, 8]. Необходимость контроля арифметических и логических операций объясняется тем, что в процессоре осуществляется наиболее сложное преобразование информации, завершающее этап работы системы в целом. Достоверность функционирования в ИИС различных устройств существенно зависит от выбранного метода обнаружения ошибок, т. е. обнаруживающей способности выбранного метода контроля информации и аппаратурных затрат, необходимых для реализации данного метода.

Опыт эксплуатации электронных дискретных устройств показывает, что с наибольшей долей вероятности в этих устройствах возникают одиночные и двойные ошибки [9–12]. При использовании встроенных средств контроля для нахождения одиночных и двойных ошибок достоверность функционирования определяется выражением [7]:

$$D_{\phi}(t) = \{P_{\text{исх}}(t)P_{\text{к}}(t) + P_1P_{\text{обн1}}[1 - P_{\text{исх}}(t)P_{\text{к}}(t)] + \\ + P_2P_{\text{обн2}}[1 - P_{\text{исх}}(t)P_{\text{к}}(t)]\}P_{\text{р.о}}(t),$$

где $D_{\phi}(t)$ – достоверность функционирования; $P_{\text{исх}}(t)$, $P_{\text{к}}(t)$, $P_{\text{р.о}}(t)$ – соответственно вероятности безотказной работы исходной схемы, схемы контроля, решающего органа; $P_{\text{обн1}}$, $P_{\text{обн2}}$ – вероятности

обнаружения одиночных (нечётных) и двойных (чётных) ошибок, соответственно; P_1 , P_2 – вероятность возникновения одиночных и двойных ошибок, соответственно.

Эффективным методом обнаружения ошибок в устройствах хранения информации, а также ошибок, возникающих при выполнении арифметических операций, является организация контроля по модулю.

В табл. 1 представлены числовые значения вероятностей обнаружения ошибок для различных значений модуля q и кратности обнаруживаемой ошибки t .

Таблица 1

Вероятности $P_{\text{обн}}$ обнаружения ошибок при контроле по модулю

t	$q=3$	$q=5$	$q=7$	$q=11$
1	1	1	1	1
2	0,5	0,75	0,833	0,9

Достоинством метода контроля по модулю является небольшая информационная избыточность (относительно малое число проверочных разрядов) и возможность контроля арифметических операций. Недостаток данного метода – низкая обнаруживающая способность двойных ошибок, невозможность организации контроля логических операций АЛУ и значительные аппаратные и временные затраты, которые связаны с операцией деления для получения остатка, так как необходимо организовать переносы в пирамидальной схеме свёртки, построенной на сумматорах.

Использование алгебраического линейного кода с кодовым расстоянием $d=3$ позволяет обнаруживать все одиночные и двойные ошибки. Недостатком применения алгебраического линейного кода является большая информационная избыточность, так как требуются значительные аппаратные затраты, связанные с хранением значений

проверочных разрядов. Таким образом, возникает противоречие: с одной стороны, необходимо повышать обнаруживающую способность встроенных средств контроля, а с другой – это приводит к значительному увеличению информационной, аппаратурной и временной избыточностей, что, в свою очередь, снижает эффективность использования средств контроля. Для разрешения выявленного противоречия необходимо повышать обнаруживающую способность средств контроля и вероятность их безотказной работы, или же сокращать аппаратурные затраты этих средств и одновременно улучшать указанные показатели. Для этих целей авторы предлагают применять алгебраический линейный код, который позволяет обнаруживать одиночные и двойные ошибки при минимальных информационной, аппаратурной и временной избыточностях [13].

В табл. 2 представлены значения вероятностей обнаружения двойных ошибок $P_{обн2}$ и количество контрольных разрядов r при использовании указанного кода, а также количество контрольных разрядов r_x при применении кода Хэмминга (алгебраического линейного кода с кодовым расстоянием $d=3$) в зависимости от числа информационных разрядов k .

Таблица 2

Сравнительные характеристики предложенного кода

Параметры кодов	k					
	16	32	64	128	256	1024
$P_{обн2}$	0,9	0,94	0,95	0,977	–	–
r	3,0	4,00	4,00	5,000	5	6
r_x	5,0	5,00	7,00	8,000	9	11

Рассматриваемый код, по сравнению с методом контроля по модулю, при одинаковом числе проверочных разрядов имеет большую обнаруживающую способность и минимальные временные затраты на

нахождение ошибок, так как для этого требуется значительно меньше времени, чем при организации проверки на чётность. По отношению к линейному коду с кодовым расстоянием $d=3$ и при незначительном снижении вероятности обнаружения двойных ошибок предложенный код имеет меньше проверочных разрядов и аппаратных затрат, используемых для хранения их значений, что позволят получить выигрыш в достоверности функционирования контролируемого устройства, как это показано в работе [13]. Однако существует проблема применения данного кода для контроля функционирования ЭВМ, входящей в состав ИИС. Основные сложности заключаются в следующем:

алгебраические линейные коды широко используются только для обнаружения ошибок в устройствах хранения и передачи информации;

не существует методов применения корректирующих кодов для повышения достоверности функционирования преобразователей информации – сумматоров, регистров сдвига, логических операций И, ИЛИ, суммирования по mod 2.

Таким образом, необходимость адаптировать алгебраический линейный код с минимальной информационной избыточностью для контроля арифметических и логических операций ИИС.

Правила построения корректирующих кодов, обнаруживающих одиночные и двойные ошибки при минимальной избыточности. При решении поставленной задачи для обнаружения ошибок в устройствах хранения и передачи информации можно использовать алгебраический линейный код, рассмотренный в работе [13].

Правило 1. Двоичное слово Y , содержащее k информационных

символов, разобьём на $m = k/b$ информационных блоков. Под информационным блоком будем понимать число информационных разрядов, не превышающих значение b . Пусть b кратно k .

Полученные информационные блоки можно представить в виде информационной матрицы

$$\begin{pmatrix} y_{m1} & y_{m2} & y_{mb} \\ \dots & \dots & \dots \\ y_{21} & y_{22} & y_{2b} \\ y_{11} & y_{12} & y_{1b} \end{pmatrix}.$$

В результате получим информационную матрицу, имеющую m строк и b столбцов. Пусть

$$z = (b + m), \quad m \geq b.$$

Для построения кода длины n , обнаруживающего все одиночные и двойные ошибки, необходимо, чтобы было $r = \log_2(n+1)$ проверок (контрольных разрядов). В этом случае выведем алгебраический линейный код (код Хэмминга) с минимальным кодовым расстоянием $d=3$. Проверочная матрица такого алгебраического кода состоит из всех различных ненулевых векторов длины r . Для обнаружения любой комбинации двойных ошибок необходимо и достаточно, чтобы все столбцы проверочной матрицы были различны.

Свойство 1. Уменьшение проверочных символов в коде Хэмминга до значения $r^* = r - i$ (i – число сокращённых проверочных символов) при сохранении длины n непременно приведёт к образованию повторяющихся столбцов в проверочной матрице и, как следствие, невозможности обнаружения некоторой части двойных ошибок.

Правило 2. Минимизация количества контрольных разрядов (при которой сохраняется $P_{\text{обн2}} > 0,75$) осуществляется логарифмированием суммы строк и столбцов информационной матрицы. В этом случае

число контрольных разрядов определяется выражением $r^* = \log_2 z$.

Правило 3. Для построения минимизированного кода с r^* проверками, обнаруживающего все одиночные ошибки и не обнаруживающего минимальное число двойных ошибок, необходимо построить проверочную матрицу, включающую столбцы всех ненулевых векторов длины r^* , а для получения длины n дополнить её β столбцами.

Правило 4. Для сокращения аппаратных затрат на построение декодирующего устройства нужно дополнять столбцы проверочной матрицы столбцами, содержащими наименьшее количество единиц.

Свойство 2. Если n делится без остатка $(2^{r^*} - 1)$ без остатка, то количество повторений одного и того же столбца в проверочной матрице примет вид

$$\alpha = n / (2^{r^*} - 1).$$

Свойство 3. Одинаковые столбцы составляют $\binom{\alpha}{2}$

необнаруженных двойных ошибок.

Свойство 4. Если при делении n $(2^{r^*} - 1)$ получится остаток β , то будет β столбцов, у которых число повторений равно $\alpha + 1$. Для $(\alpha + 1)$ -столбцов количество обнаруженных двойных ошибок окажется равным $\binom{\alpha + 1}{2}$.

Свойство 5. Количество обнаруженных двойных ошибок для кода длины n определяется выражением

$$\Phi = \binom{\alpha}{2} (2^{r^*} - 1 - \beta) + \beta \binom{\alpha + 1}{2}.$$

Следовательно, вероятность появления необнаруженных комбинаций кода можно записать как

$$P_{\text{в}} = \phi / \left[\binom{n}{2} + n \right].$$

Обнаружение и исправление ошибок при выполнении арифметических операций. Преимущественное распространение в современных ЭВМ имеют сумматоры параллельного действия, в которых передача чисел и образование суммы происходит одновременно для всех разрядов. Рассмотрим основные положения метода контроля операции сложения на примере кодирования 12 информационных разрядов. В этом случае при построении информационной матрицы потребуется три столбца и три строки ($z=7$). Тогда $r^*=3$.

Проверочная матрица H для рассматриваемого кода имеет вид

$$H = \begin{vmatrix} r_3 & r_2 & r_1 & y_1 & y_2 & y_3 & y_4 & y_5 & y_6 & y_7 & y_8 & y_9 & y_{10} & y_{11} & y_{12} \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 1 \end{vmatrix}.$$

Проверки для формирования значений контрольных разрядов определяются следующими выражениями:

$$\begin{aligned} r_1 &= y_3 \oplus y_6 \oplus y_7 \oplus y_8 \oplus y_9 \oplus y_{10} \oplus y_{11}; \\ r_2 &= y_2 \oplus y_4 \oplus y_5 \oplus y_8 \oplus y_9 \oplus y_{10} \oplus y_{11}; \\ r_3 &= y_1 \oplus y_4 \oplus y_5 \oplus y_6 \oplus y_7 \oplus y_{10} \oplus y_{11} \oplus y_{12}. \end{aligned}$$

Допустим, требуется сложить два 12-разрядных числа: $A=001\ 011\ 111\ 001$, $B=001\ 100\ 110\ 011$, у которых номера разрядов проставлены справа налево. При кодировании данных чисел предложенным методом получим соответствующие кодовые наборы:

$$A_k = 001\ 011\ 111\ 001\ 000;$$

$$B_k = 001\ 100\ 110\ 011\ 100.$$

Сложение по mod 2 значений контрольных разрядов и арифметическое суммирование значений информационных разрядов данных кодовых наборов (с учётом переносов) приведёт к результату

$$\begin{array}{r} 001\ 011\ 111\ 001\ 000 \\ + 001\ 100\ 110\ 011\ 100 \\ \hline S = 011\ 000\ 101\ 100\ 100. \end{array}$$

Для полученной суммы значений информационных разрядов значения контрольных разрядов должны иметь значение 010. Однако в результате сложения контрольных разрядов слагаемых по mod 2 будет результат

$$\begin{array}{r} 000 \\ + 001 \\ \hline S_{k \bmod 2} = 100, \end{array}$$

который отличается от правильного значения 010. Поэтому для формирования правильных значений контрольных разрядов возникает необходимость определения поправки к значению контрольных разрядов $S_{k \bmod 2}$. Правило формирования поправки можно вывести на основе кодирования информации, учитывающей все переносы, которые возникают при сложении двух чисел.

При сложении информационных разрядов перенос единичных значений сигналов происходит во второй, третий, шестой, седьмой, восьмой, девятый, десятый и одиннадцатый разряды, т. е. информация, учитывающая переносы, формируется по правилу

$$\begin{aligned}
s_1 &= 0; \\
s_2 &= y_{1A} \wedge y_{1B}; \\
s_3 &= y_{2A} \wedge y_{2B} \vee (y_{2A} \vee y_{2B}) \wedge s_2; \\
s_4 &= y_{3A} \wedge y_{3B} \vee (y_{3A} \vee y_{3B}) \wedge s_3; \\
s_5 &= y_{4A} \wedge y_{4B} \vee (y_{4A} \vee y_{4B}) \wedge s_4; \\
&\dots \\
s_{12} &= y_{11A} \wedge y_{11B} \vee (y_{11A} \vee y_{11B}) \wedge s_{11}.
\end{aligned}$$

Для рассматриваемого примера значения разрядов переносов имеют вид

$$S_{\Pi}=011\ 111\ 100\ 110.$$

Свойство 6. Формирование поправки Π_K к значению контрольных разрядов $S_{k \bmod 2}$ осуществляется выбранным методом при кодировании информации, учитывающей переносы S_{Π} .

Для данного примера кодирование значения $S_{\Pi}=011\ 111\ 100\ 110$ с помощью предложенного метода приведёт к поправке $\Pi_K=110$. В результате поразрядного сложения по mod 2 значений $S_{k \bmod 2}=100$ и $\Pi_K=110$ получим правильное значение контрольных разрядов для найденной арифметической суммы. Его можно записать как

$$S_K=011\ 000\ 101\ 100\ 010.$$

Метод контроля АЛУ при выполнении логических операций.

Осуществим контроль АЛУ на основе предложенного метода кодирования при выполнении следующих наиболее распространённых логических операций: сложения по mod 2; операции сдвига; логического сложения; логического умножения.

Контроль операции сложения по mod 2. Выполним на примере контроль операции сложения по mod 2. Допустим, требуется сложить два кодовых набора, содержащих 12 информационных и три контрольных разряда:

$$A_K=001\ 011\ 111\ 001\ 000; B_K=001\ 100\ 110\ 011\ 100.$$

Сложение кодовых наборов по mod 2 даст результат:

$$\begin{array}{r} 001\ 011\ 111\ 001\ 000 \\ \oplus 001\ 100\ 110\ 011\ \oplus\ 100 \\ \hline S = 011\ 000\ 101\ 100\ 100. \end{array}$$

Свойство 7. Результат сложения по mod 2 контрольных разрядов слагаемых соответствует результату сложения по mod 2 информационных разрядов слагаемых.

Данное свойство позволяет контролировать операцию сложения по mod 2, обнаруживать и исправлять возникающие ошибки в соответствии с правилами предложенного метода кодирования.

Контроль операции сдвига. Рассмотрим основные положения способа контроля операции сдвига на примере кодового набора, содержащего 12 информационных разрядов:

$$A_k = 001\ 011\ 111\ 001\ 000.$$

Пусть требуется провести операцию сдвига информационных разрядов вправо на один разряд. В результате получим кодовый набор

$$A_n = 000\ 101\ 111\ 100\ 000.$$

У этого набора значения контрольных разрядов не соответствуют полученному результату, так как он должен составлять 010. В связи с этим возникает необходимость формирования поправки, позволяющей выявить набор контрольных разрядов. Такой набор должен соответствовать значению информационных разрядов, полученных при сдвиге вправо. Для нахождения правильного значения контрольных разрядов сформируем поправку к имеющемуся значению этих разрядов. Значения символов для формирования поправки при сдвиге вправо формируются на основе исходных значений информационных разрядов следующим образом:

$$\begin{aligned}
s_{12} &= z_1 \oplus y_{12}; \\
s_{11} &= y_{12} \oplus y_{11}; s_{10} = y_{11} \oplus y_{10}; \\
s_9 &= y_{10} \oplus y_9; s_8 = y_9 \oplus y_8; \\
s_7 &= y_8 \oplus y_7; s_6 = y_7 \oplus y_6; \\
s_5 &= y_6 \oplus y_5; s_4 = y_5 \oplus y_4; \\
s_3 &= y_4 \oplus y_3; s_2 = y_3 \oplus y_2; s_1 = y_2 \oplus y_1,
\end{aligned}$$

где z_1 – значение сигнала переноса из другого регистра, например в старший разряд регистра дополнительного из младшего разряда регистра сумматора при выполнении операции умножения.

Для рассматриваемого примера при сдвиге вправо (при отсутствии переноса из другого регистра) запишем

$$A_k = 001\ 011\ 111\ 001\ 000.$$

Тогда двоичный набор для формирования поправки P примет вид

$$S_P = 001\ 110\ 000\ 101.$$

При кодировании данного набора с помощью предложенного метода значение поправки составит $P=010$. Сложение по mod 2 исходного значения контрольных разрядов и значения поправки приведёт к правильному значению контрольных разрядов при сдвиге информационных разрядов вправо:

$$\begin{array}{r}
A_{к.п} = 000\ 101\ 111\ 100\ 000 \\
\oplus P = \ 010 \\
\hline
S_P = 000\ 101\ 111\ 100\ 010.
\end{array}$$

Символы поправки при сдвиге влево формируются на основе исходного значения информационных разрядов следующим образом:

$$\begin{aligned}
s_1 &= z_1 \oplus y_1; \\
s_2 &= y_1 \oplus y_2; s_3 = y_2 \oplus y_3; \\
s_4 &= y_3 \oplus y_4; s_5 = y_4 \oplus y_5; \\
s_6 &= y_5 \oplus y_6; s_7 = y_6 \oplus y_7; \\
s_8 &= y_7 \oplus y_8; s_9 = y_8 \oplus y_9; \\
s_{10} &= y_9 \oplus y_{10}; s_{11} = y_{10} \oplus y_{11}; \\
s_{12} &= y_{11} \oplus y_{12},
\end{aligned}$$

где z_1 – значение сигнала переноса старшего разряда одного регистра в младший разряд регистра сдвига.

Пусть требуется провести операцию сдвига влево (при отсутствии переноса из другого регистра) на один разряд для двоичного набора

$$A_k = 001\ 011\ 111\ 001\ 000.$$

В результате запишем кодовый набор

$$A_d = 010\ 111\ 110\ 010\ 000,$$

у которого значение контрольных разрядов не соответствует найденному результату, т. е. значению контрольных разрядов, равному 110.

Информация для поправки в этом случае примет вид

$$S_d = 011\ 100\ 001\ 010.$$

При кодировании данного набора с помощью метода, предложенного авторами, значение поправки окажется $P = 110$.

Сложение по mod 2 исходного значения контрольных разрядов со значением поправки даст правильный результат контрольных разрядов при сдвиге информационных разрядов влево:

$$\begin{array}{r} A_d = 010\ 111\ 110\ 010\ 000 \\ \oplus P = 110 \\ \hline S_d = 010\ 111\ 110\ 010\ 110, \end{array}$$

где S_d – результат, полученный при сдвиге исходного кодового набора влево.

Свойство 8. Сложение по mod 2 исходного значения контрольных разрядов со значением поправки при сдвиге вправо (влево) даст правильное значение контрольных разрядов при сдвиге информационных разрядов.

Данное свойство позволяет контролировать операцию сдвига и при этом обнаруживать и исправлять, возникающие ошибки по правилам рассматриваемого метода кодирования.

Контроль выполнения логической операции ИЛИ. Рассмотрим основные положения способа контроля операции ИЛИ на примере. Допустим, требуется выполнить логическую операцию ИЛИ относительно двух 12-разрядных кодовых слов:

$$A_k = 001\ 001\ 111\ 001\ 110; B_k = 001\ 100\ 110\ 010\ 101.$$

Логическое сложение информационных разрядов кодовых наборов и сложение по mod 2 контрольных разрядов приведёт к результату:

$$\begin{array}{r} 001\ 001\ 111\ 001\ 110 \\ \vee\ 001\ 100\ 110\ 010\oplus 101 \\ \hline S_{\text{или}} = 001\ 101\ 111\ 100\ 011. \end{array}$$

В данном случае значение контрольных разрядов 011 не соответствует требуемому значению контрольных разрядов 010. поэтому необходимо сформировать поправку к значению контрольных разрядов. Для этого построим двоичный набор, используя логическую операцию И относительно информационных разрядов рассматриваемых чисел. В результате получим кодовый следующий набор:

$$\begin{array}{r} 001\ 001\ 111\ 001 \\ \wedge\ 001\ 100\ 110\ 010 \\ \hline S_{\text{и}} = 001\ 000\ 110\ 000. \end{array}$$

Кодирование полученного двоичного набора выбранным методом кодирования приведёт к поправке к контрольным разрядам при выполнении операции ИЛИ: $P_{\text{или}} = 001$. Сложение по mod 2 такого значения контрольных разрядов со значением поправки даст правильное значение контрольных разрядов для рассматриваемого примера:

$$\begin{array}{r}
 S_{\text{или}} = 001101111011 \quad 011 \\
 \oplus P_{\text{или}} = \quad \quad \quad 001 \\
 \hline
 S_{\text{илип}} = 001101111011 \quad 110.
 \end{array}$$

Свойство 9. Операция сложения по mod 2 значений контрольных разрядов и значения поправки, которая сформирована на основе кодирования информации, вычисленной при выполнении логической операции И относительно информационных разрядов, приведёт к правильному значению контрольных разрядов.

Контроль выполнения логической операции И. Рассмотрим основные положения способа контроля операции И на примере. Допустим, требуется выполнить логическую операцию И относительно двух 12-разрядных кодовых слов:

$$A_k = 001\ 001\ 111\ 001\ 110; \quad B_k = 001\ 100\ 110\ 010\ 101.$$

Логическое умножение информационных разрядов кодовых наборов и сложение по mod 2 контрольных разрядов приведёт к следующему результату:

$$\begin{array}{r}
 001\ 001\ 111\ 001\ 110 \\
 \wedge 001\ 100\ 110\ 010 \oplus 101 \\
 \hline
 S_{\text{и}} = 001\ 000\ 110\ 000\ 011.
 \end{array}$$

В этом случае значение контрольных разрядов не соответствует найденному результату, так как правильное значение должно быть 001. Поэтому нужно сформировать поправки, позволяющие получить набор контрольных разрядов. Данный набор разрядов должен соответствовать значению информационных разрядов, рассчитанных при выполнении операции логического сложения. Для формирования поправки построим двоичный набор, используя логическую операцию ИЛИ относительно информационных разрядов рассматриваемых чисел. После этого будем иметь кодовый набор 001

101 111 011. Кодирование данного двоичного набора выбранным методом кодирования позволит привести значения поправки к контрольным разрядам при выполнении операции И, т. е. $P_{\text{И}}=010$. В результате сложения по mod 2 этого результата со значением поправки получим правильное значение контрольных разрядов для рассматриваемой операции:

$$\begin{array}{r} S_{\text{И}} = 001\ 000\ 110\ 000\ 011 \\ \oplus P_{\text{И}} = 010 \\ \hline S_{\text{Ит}} = 001\ 000\ 110\ 000\ 001. \end{array}$$

Свойство 10. При выполнении операция сложения по mod 2 значений контрольных разрядов и поправки, сформированной на основе кодирования информации, можно найти правильное значение контрольных разрядов. При этом информация получена при выполнении логической операции ИЛИ относительно информационных разрядов.

Заключение. Современные ИИС в значительной степени характеризуется достоверностью функционирования ЭВМ, а именно правильностью функционирования АЛУ процессоров при выполнении арифметических и логических операций. В существующих методах повышения достоверности АЛУ требуются большие аппаратные и временные затраты, снижающие эффективность работы этих устройств. Данное противоречие можно разрешить при использовании алгебраического линейного кода, позволяющего обнаруживать ошибки заданной кратности при минимальных временных и аппаратных затратах, а также при адаптации данного метода кодирования к обнаружению ошибок АЛУ процессора при выполнении арифметических и логических операций.

В результате исследований выявлены закономерности,

определяющие соотношения между арифметико-логическими операциями и значениями контрольных разрядов линейного кода относительно данных операций. Обнаруженные закономерности позволили сформулировать правила вычисления значений поправок к контрольным разрядам кода для обнаружения одиночных и двойных ошибок при минимальной информационной избыточности, аппаратных и временных затратах. Предложенный авторами методический подход обнаружения ошибок позволяет повысить достоверность функционирования АЛУ процессора за счёт обнаружения одиночных и двойных ошибок при минимальной информационной избыточности и без снижения быстродействия контролируемого устройства.

Литература

1. **Клаассен К. Б.:** Основы измерений. Электронные методы и приборы в измерительной технике. М.: Постмаркет, 2000.
2. **Раннёв Г. Г.** Информационно-измерительная техника и технологии. М.: Высшая школа, 2001.
3. **Раннёв Г. Г., Тарасенко А. П.** Методы и средства измерений, М.: Академия, 2004.
4. **Муха Ю. Л., Королева И. Ю.** Информационно-измерительные системы. Волгоград: Волгоградский ГТУ, 2015.
5. **Островерхов Е. В.** Микропроцессор с интегрированным модулем для автоматизации измерений электрических величин [Электрон. ресурс]: <http://storage.tusur.ru/riles/8849/ЭП> (дата обращения 20.01.2018).
6. **АВЛГ.468711.001–2005.** Системы автоматизированные информационно-измерительные для контроля и учёта энергоресурсов «Меркурий-Энергоучёт». Технические условия.

7. **Щербаков Н. С.** Достоверность работы цифровых устройств. М.: Машиностроение, 1989.

8. **Hagbae Kim, Kang G. Shin.** Evaluation of Fault Tolerance Latency from Real-Time Application's Perspectives // IEEE Transactions on computers, 2000. V. 49. No. 1. P. 55–64.

9. **Борисов К. Ю., Павлов А. А., Павлов П. А., Царьков А. Н., Хоруженко О. В.** Рациональное кодирование информации для обнаружения ошибок в устройствах хранения и передачи информации измерительной техники. // Измерительная техника. 2011. № 12. С. 22–25.

10. **Naseer R., Draper J.** Parallel Double Error Correcting Code Design to Mitigate Multi-Bit Upsets in SRAMs // Information Sciences Institute University of Southern California, IEEE Trans Device. Mater 2008. V. 6. P. 222–225.

11. **Павлов А. А., Павлов П. А., Царьков А. Н., Хоруженко О. В.** Функционально-кодовый контроль ошибок в автоматизированных системах измерительной техники // Измерительная техника. 2009. № 9. С. 3–5.

12. **Павлов А. А., Царьков А. Н., Хоруженко О. В., Павлов П. А.** Метод контроля ошибок в устройствах хранения и передачи информации автоматизированных систем измерительной техники // Измерительная техника. 2010. № 11. С. 21–25.

13. **Павлов А. А., Царьков А. Н., Павлов П. А., Корсунский Д. А, Волков В. З.** Обнаружение ошибок в запоминающих устройствах информационно-измерительных систем // Измерительная техника. 2017. № 10. С. 12–16.

Дата принятия: 22.03.2018.